

(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.
H01L 23/50

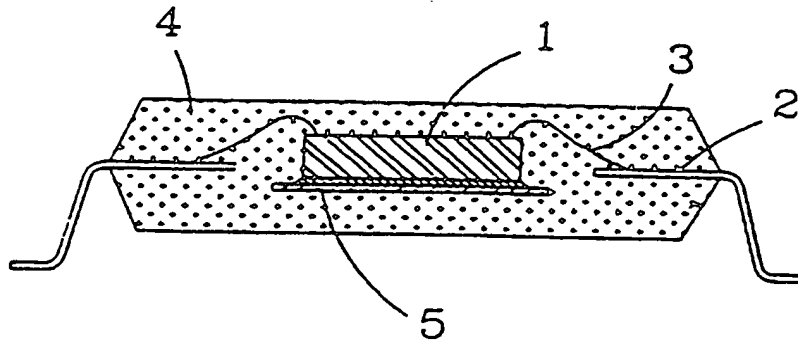
(45) 공고일자 1999년09월01일
(11) 등록번호 10-0220154
(24) 등록일자 1999년06월18일

(21) 출원번호	10-1996-0009774	(65) 공개번호	특1997-0072358
(22) 출원일자	1996년04월01일	(43) 공개일자	1997년11월07일
(73) 특허권자	아남반도체주식회사, 김규현 대한민국 133-121 서울특별시 성동구 성수동 2가 280-8		
(72) 발명자	허영욱 대한민국 경기도 성남시 분당구 수내동 55 롯데아파트 132-1504		
(74) 대리인	서만규		
(77) 심사청구	심사관: 양희용		
(54) 출원명	반도체 패키지의 제조방법		

요약

본 발명은 반도체패키지의 제조방법 및 구조에 관한 것으로, 반도체칩의 저면층 외부로 노출시켜 회로동작시 발생하는 열방출의 효과를 극대화하여 패키지의 수명을 연장시키고, 신뢰성을 향상 시키는 물론, 패키지의 중앙부 외측에 위치한 리드는 절단하고, 중앙부 내측에 위치한 리드는 그 저면층 외부로 노출시켜 마더보드에 실장시 리드의 저면에서 신호전달을 하도록 함으로서 심장면적을 최소화 할 수 있는 반도체패키지이다.

대표도



명세서

[발명의 명칭]

반도체패키지의 제조방법

[도면의 간단한 설명]

제 1 도는 일반적인 반도체패키지의 구조를 보인 단면도

제 2 도는 본 발명에 적용되는 리드프레임용 도시한 평면도

제 3a 도 내지 제 3e 도는 본 발명의 제조 공정도

제 4a 도 내지 제 4d 도는 본 발명의 실시예에 의한 제조 공정도

제 5 도는 본 발명에 의한 반도체패키지의 저면도

제 6 도는 본 발명의 리드를 도시한 확대도

• 도면의 주요부분에 대한 부호의 설명

10 : 반도체칩 20 : 리드프레임
21 : 리드 30 : 와이어
41 : 액상봉지재 42 : 컴파운드

[발명의 상세한 설명]

본 발명은 반도체패키지의 제조방법에 관한 것으로, 더욱 상세하게는 반도체칩의 저면용 외부로 노출시켜 회로동작시 발생하는 열방출의 효과 극대화하여 패키지의 수명을 연장시키고, 신뢰성을 향상시키는 물론, 패키지의 등정부 외측에 위치한 리드는 절단하고, 등정부 내측에 위치한 리드는 그 저면용 외부로 노출시켜 마더보드에 실장시 리드의 저면에서 신호전달을 하도록 함으로서 실질적인 최소한의 리드 수를 갖는 반도체패키지의 제조방법에 관한 것이다. 일반적으로 반도체패키지는 제 1 도에 도시된 바와 같이, 리드프레임의 칩탑재판(2a)상에 에폭시 어드헤시브(Epoxy Adhesive)를 도포하여 반도체칩(1)을 정착시키고, 반도체칩(1)상의 칩패드와 리드프레임의 리드(2)를 와이어(3)로 본딩한 후, 컴파운드(4)로 용융하여 반도체패키지를 제조하였다. 그러나, 이러한 구조는 컴파운드(4) 외부로 리드(2)를 노출시켜 소정의 형태로 리드(2)를 절단하여 일종의 단자로 사용하였으므로, 외부로 노출된 리드(2)에 충격이 가해져 쉽게 변형되는 이유로 유지 관리가 어려우며 패키지의 크기나 크게 만드는 요인이 되었다. 또한, 반도체칩(1)을 리드프레임의 칩탑재판(2a)에 정착시킬때 에폭시 어드헤시브를 사용하기 때문에 에폭시와 반도체칩(1)의 인터페이스(Interface)부분에서 계면박리 및 크랙(Crack)을 발생시키는 요인이 되었던 것이다. 뿐만 아니라, 반도체칩(1)이 컴파운드(4)의 내부에 위치하기 때문에 열방출이 되지 않아 패키지의 수명을 단축시키는 등의 문제점이 있었던 것이다. 따라서, 본 발명은 이러한 문제점을 해소하기 위하여 발명된 것으로, 칩탑재판이 구비되지 않은 리드프레임으로 패키지를 제조함으로써 반도체칩과 칩탑재판과의 계면박리 및 불량을 방지하고, 패키지의 신뢰성을 향상시킬 수 있도록 한 반도체패키지 제조방법을 제공함에 그 목적이 있다. 이러한 본 발명의 목적을 달성하기 위해서는 다수의 리드가 형성되고, 상기 다수의 리드 중앙부에는 칩탑재판이 없는 리드프레임을 형성하는 단계와; 상기 리드프레임의 다수의 리드 중앙부에 반도체칩을 위치시켜 와이어본딩을 실시하는 단계와; 상기 단계후에 용융영역 외각에 위치한 리드를 절단하는 단계로 이루어진 것을 특징으로 하는 반도체패키지 제조방법에 의해 가능하다. 이하, 본 발명을 첨부도면을 참조하여 상세히 설명하면 다음과 같다. 제 2 도는 본 발명에 사용되는 리드프레임을 도시한 평면도로서, 본 발명의 리드프레임(20)에는 반도체칩(10)이 부착되는 칩탑재판이 형성되어 있지 않은 것을 알 수 있다. 제 3a 도 내지 제 3e 도는 본 발명의 제조공정을 나타낸 도면으로서, 제 3a 도는 칩탑재판이 없는 리드프레임(20)에 기존의 다이본딩시 반도체칩(10)이 위치되는 부분, 즉 다수의 리드(21) 중앙부에 반도체칩(10)을 위치시킨 상태인 것을 도시한 것이고, 제 3b 도는 이와같이 반도체칩(10)이 다수의 리드(21)의 중앙부에 위치한 상태에서 와이어(30) 본딩을 실시한 상태인 것을 도시한 것이다. 이때, 상기 반도체칩(10)은 제 7 도에 도시된 바와 같이 히터홀(H)의 상부에 안착되는데, 이 히터홀(H)에는 배류 홈(V : Vacuum Hole)이 형성되고, 상기 배류 홈(V)로 공기를 빨아들여 반도체칩(10)을 고정 지지함으로써 와이어 본딩 중에 반도체칩(10)이 흔들림을 방지하는 것이다.

이와 같이 리드프레임과 반도체칩이 와이어 본딩되면, 상기 리드프레임(20)을 운반 및 취급시에는 상기 반도체칩과 리드프레임이 와이어 본딩에 의해 서로 연결되어 있으므로 반도체칩(10)이 분리되지 않는 것이다. 제 3c 도와 제 3d 도는 와이어 본딩된 리드프레임(20)에 용융을 실시하여 반도체칩(10)을 외부의 산화 및 부식으로 부터 보호하는 것으로, 여기서는 액상 봉지재(41)를 사용하여 본딩한 상태를 도시한 것이다. 이때, 상기 액상 봉지재(41)가 흘러 넘치는 것을 방지하기 위하여 용융영역에 미리 엠(411)을 형성한 후, 액상 봉지재(41)로 용융을 실시하면 액상 봉지재(41)가 흘러 넘치는 것을 방지할 수 있다. 이와 같이 용융을 실시한 다음에는 150℃ 이상의 고온에서 수시간 노출시켜 액상 봉지재(41)를 경화시키고, 제 3e 도와 같이 용융영역의 외부에 위치한 리드(21)를 절단하여 반도체패키지를 완성하는 것이다. 상기 제조공정중 용융을 실시할 때 액상 봉지재(41)를 사용하지 않고, 에폭시 용드 컴파운드(42)를 사용하여 제 4a 도 내지 제 4d 도에 도시된 바와같이 용융을 실시할 수 있는 바, 컴파운드(42)를 사용하여 용융을 실시할 경우에는 용드층형이 필요하게 되고, 용융영역의 외각으로 엠(411)을 형성할 필요는 없다. 이때에도 용드 컴파운드(42)로 용융공정과 경화공정을 거친 후, 용융영역의 외각으로 돌출된 리드(21)를 절단하는 것이다. 이와 같은 제조공정을 거쳐 완성된 반도체패키지는 제 5 도에 도시된 바와 같이 저면에 반도체칩(10)과 다수의 리드(21)가 노출된 상태로 형성되는 것으로, 반도체칩(10)의 저면이 외부로 직접 노출되기 때문에 열방출이 우수하며, 다이본딩 공정을 거치지 않음으로서 계면박리가 발생되지 않는 것이다. 또한, 이와 같은 반도체패키지는 용융영역의 외각으로 위치되는 리드(21)가 없어 취급시 리드(21)가 휘거나, 손상되는 것을 방지할 수 있으며, 패키지의 터미널(일출력단자) 부분이 패키지의 앞면에서 이루어짐으로 마더보드에 실장시 그 크기를 최소화 할 수 있는 것이다. 또한, 상기 반도체패키지의 저면에는 그라인드(Grind)를 실시하여 패키지의 저면에서 발생하는 열을 흡수할 수 있는 플래쉬(Flash)를 제거할 수 있다. 즉, 용융 후에 플래쉬(용드 찌꺼기)를 제거하는 플래쉬 제거단계가 추가할 수 있다. 또한, 제 6 도와 같이 본 발명의 반도체패키지는 용융영역 외각에 위치한 리드(21)를 절단시 리드(21)의 정단을 용이하게 하기 위하여 절단되는 부위에 리드(21)에 노치(211 : Notch)를 형성할 수 있다. 이와 같은 제조방법에 의해 형성된 반도체패키지의 구조는, 저면이 외부로 직접 노출되는 반도체칩(10)과, 상기 반도체칩(10)의 외측에 위치되고 용융영역을 벗어나지 않으며 저면이 외부로 노출되어 저면에서 신호의 일출력이 이루어지는 다수의 리드(21)와, 상기 반도체칩(10)과 리드(21)를 연결시켜주는 와이어와, 상기 반도체칩(10), 리드(21) 및 와이어(30)를 외부 환경으로부터 보호하기 위하여 용융된 액상 봉지재(41) 또는 컴파운드(42)로 구성된 것이다.

여기서, 상기 액상 봉지재(41)로 용융한 경우에는 액상 봉지재(41)가 흘러 넘치는 것을 방지하기 위하여 용융영역의 외각으로 엠(411)을 형성한다. 또한, 상기 용융된 액상 봉지재(41) 및 컴파운드(42)는 리드(21) 및 반도체칩(10)의 상부에만 용융되는 것이며, 상기 반도체패키지의 저면에는 플래쉬(Flash)의 제거를 위해 그라인드(Grind)를 실시할 수 있다. 이와 같은 구성의 반도체패키지는 저면으로 반도체칩과 다수의 리드가 직접 노출되므로 열방출이 우수하며 계면박리가 발생되지 않고, 용융영역의 외각으로 위치되는 리드가 없어 취급시 리드가 휘거나, 손상되는 것을 방지할 수 있으며, 패키지의 터미널(일출력단자) 부분이 패키지의 앞면에서 이루어짐으로 마더보드에 실장시 그 크기를 최소화 할 수 있는 이점이 있다.

(57) 청구의 범위

청구항 1.

(정정) 다수의 리드가 형성되고, 이 다수의 리드 중앙부에는 칩탑재판이 없는 리드프레임을 제공하는 단계와; 상기 리드프레임의 다수의 리드 중앙부에 반도체칩을 위치시키고, 상기 반도체칩을 배류 홈(Vacuum Hole)이 형성된 히터홀에 안착시킨 후, 상기 배류 홈으로 공기를 빨아들여 반도체칩을 지지 고정된 상태에서 와이어본딩을 실시하는 단계와; 상기 와이어본딩된 리드, 반도체칩 및 와이어를 외부의 산화 및 부식으로 부터 보호하기 위하여 용융하는 단계와; 상기 단계후에 용융영역 외각에 위치한 리드를 절단하는 단계를 포함하여 이루어진 것을 특징으로 하는 반도체패키지의 제조방법.

청구항 2.

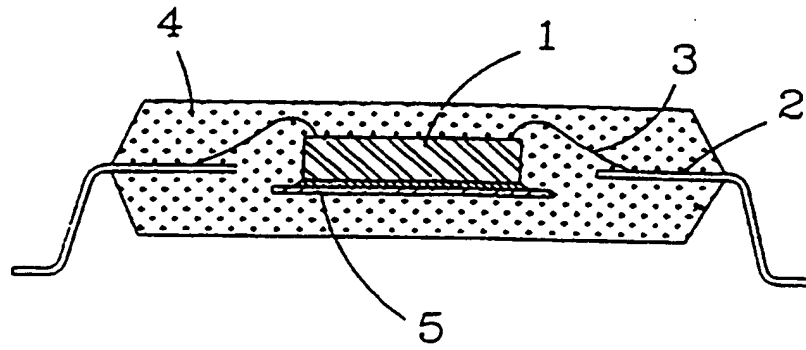
제 1 항에 있어서, 상기 용융하는 단계 후에는 반도체 패키지의 저면에 그라인드(Grind)를 설치하여 플래쉬(Flash)를 제거하는 플래쉬 제거 단계가 더 포함하여 이루어진 것을 특징으로 하는 반도체패키지의 제조방법.

청구항 3.

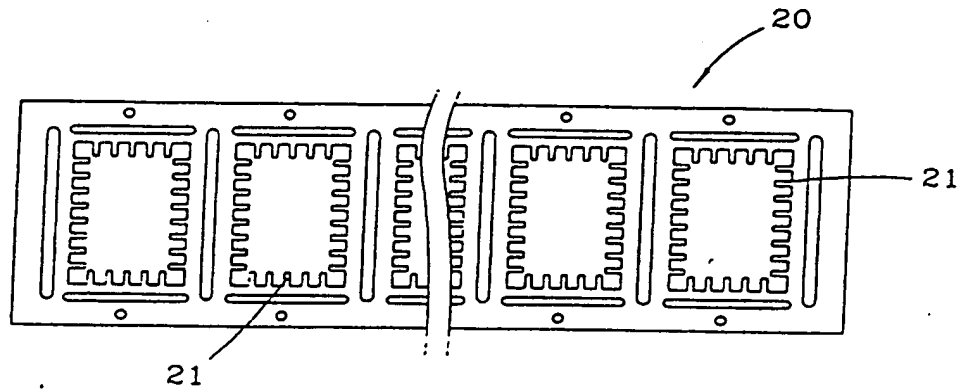
제 1 항에 있어서, 상기 용융영역의 외각에 위치한 리드를 절단하는 단계는, 상기 리드의 절단되는 부위에 노치(Notch)를 형성하여 상기 리드가 용이하게 절단되도록 한 것을 특징으로 하는 반도체패키지의 제조방법.

도면

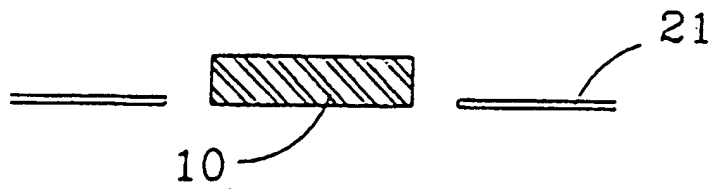
도면 1



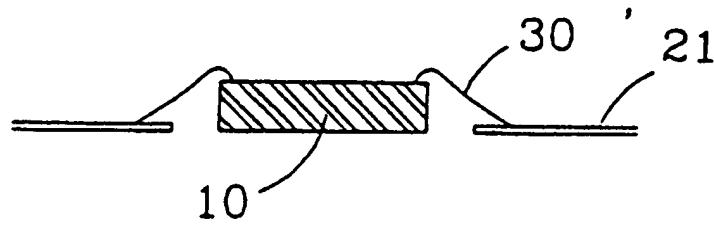
도면 2



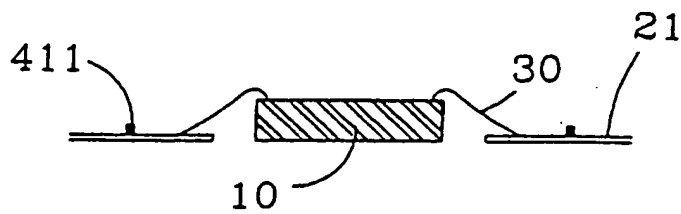
도면 3a



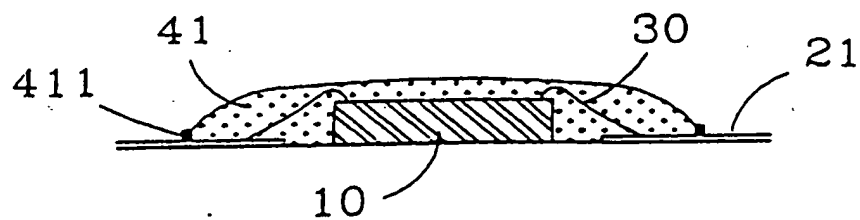
도면 3b



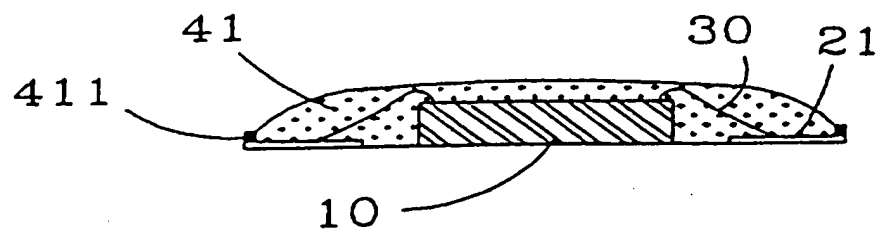
도면 3c



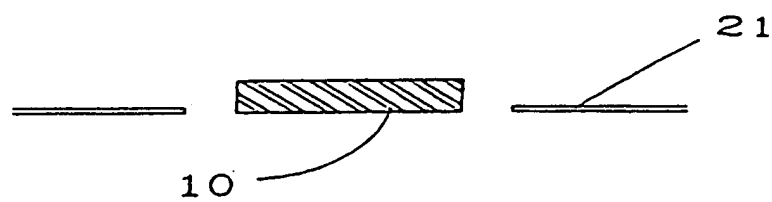
도면 3d



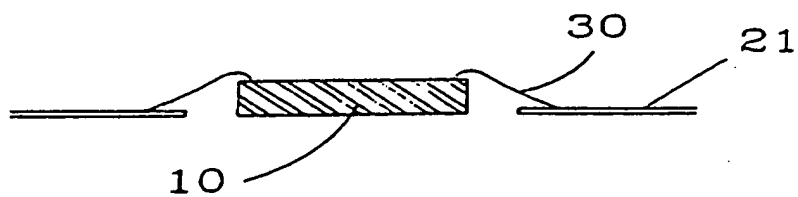
도면 3e



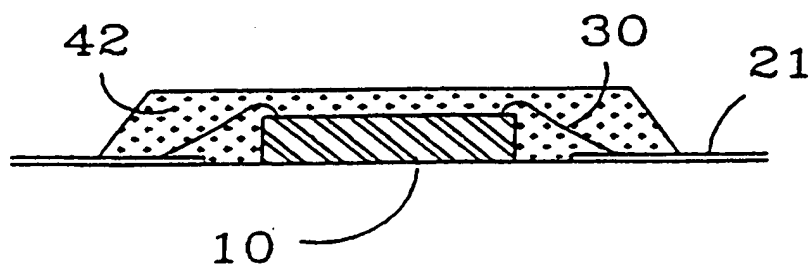
도면 4a



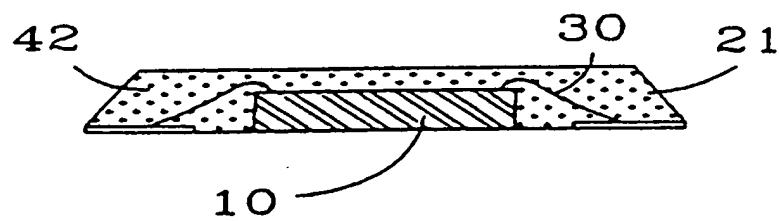
도면 4b



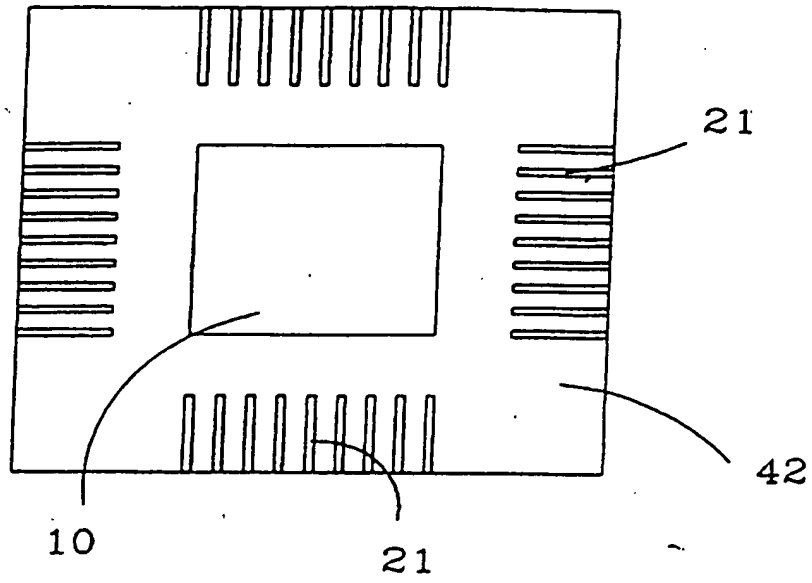
도면 4c



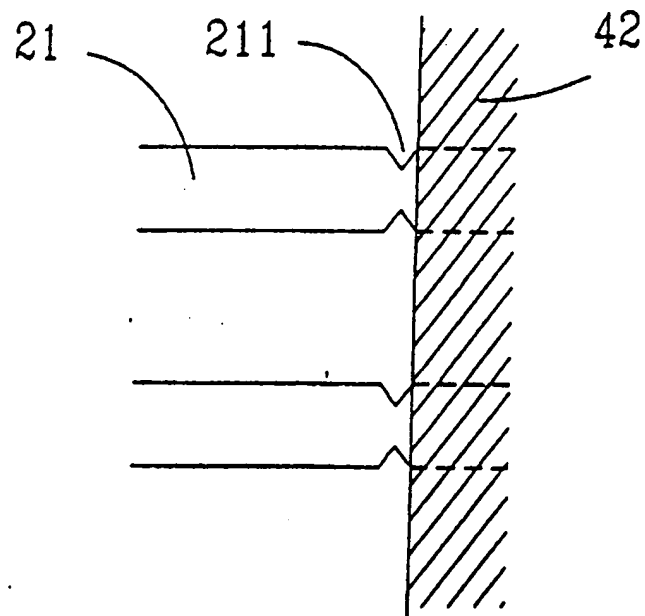
도면 4d



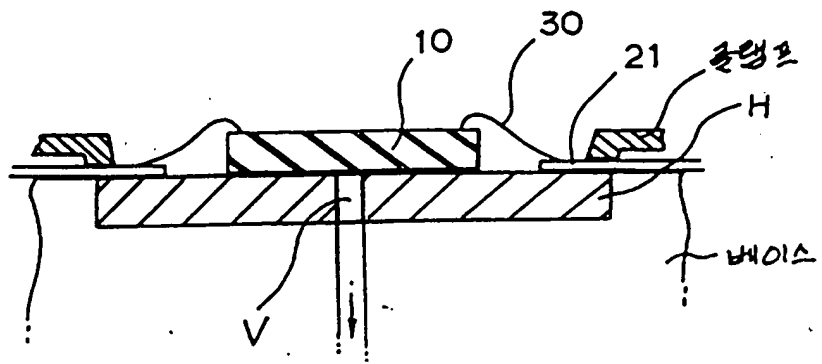
도면 5



도면 6



도면 7



(19) 대한민국특허청(KR)

(12) 공개특허공보(A)

(51) Int. Cl.

(11) 공개번호

특 1997-0072358

H01L 23 /50

(43) 공개일자

1997년 11월 07일

(21) 출원번호

특 1996-0009774

(22) 출원일자

1996년 04월 01일

(71) 출원인

아남산업 주식회사 황민길

(72) 발명자

서울특별시 성동구 성수 2가 280-8 (우 : 133-120)
허영욱

(74) 대리인

경기도 성남시 분당구 수내동 55 롯데아파트 132-1504
서인규

심사청구 : 있음

(54) 반도체패키지의 제조방법 및 구조

요약

본 발명은 반도체패키지의 제조방법 및 구조에 관한 것으로, 반도체칩의 저면을 외부로 노출시켜 회로동작시 발생하는 열 방출의 효과를 극대화하여 패키지의 수명을 연장시키고, 신뢰성을 향상시키는 물론 패키지의 몰당부 외측에 위치한 리드는 절단하고, 몰당부 내측에 위치한 리드는 그 저면을 외부로 노출시켜 마더보드에 실장시 리드의 저면에서 신호전달을 하도록 함으로서 실장면적을 최소화할 수 있는 반도체패키지이다.

도면

도 2

명세서

[발명의 명칭]

반도체패키지의 제조방법 및 구조

[도면의 간단한 설명]

제2도는 본 발명에 적용되는 리드프레임을 도시한 평면도.

본 내용은 요부공개 건이므로 전문내용을 수록하지 않았음

(5/1) 청구의 범위

청구항 1. 다수의 리드가 형성되고, 상기 다수의 리드 중앙부에는 접합재판이 없는 리드프레임을 형성하는 단계와; 상기 리드프레임의 다수의 리드 중앙부에 반도체칩을 위치시켜 와이어본딩을 실시하는 단계와; 상기 와이어본딩된 리드, 반도체칩 및 와이어를 외부의 산화 및 부식으로부터 보호하기 위하여 용융하는 단계와; 상기 단계후에 용융영역 외각에 위치한 리드단 절단하는 단계로 이루어진 것을 특징으로 하는 반도체패키지의 제조방법.

청구항 2. 제1항에 있어서, 상기 와이어본딩은 배움 홀(Vacuum Hole)이 형성된 히터플럭에 반도체칩을 위치시켜 상기 배움 홀로 공기를 빨아들여 반도체칩을 지지 고정하는 것을 특징으로 하는 반도체패키지의 제조방법.

청구항 3. 제1항에 있어서, 상기 용융단계는 액상 납지재[□] 사용하여 용융하는 것을 특징으로 하는 반도체패키지의 제조방법.

청구항 4. 제1항 또는 3항에 있어서, 액상 납지재[□] 사용하여 용융하기 전에 용융영역에 염을 형성하여 액상 납지재가 흘러 넘치는 것을 방지하는 것을 특징으로 하는 반도체패키지의 제조방법.

청구항 5. 제1항에 있어서, 상기 용융단계는 용드 컴파운드를 사용하여 용융하는 것을 특징으로 하는 반도체패키지의 제조방법.

청구항 6. 제3항 또는 5항에 있어서, 상기 액상 납지재 및 용드 컴파운드로 용융 후, 150℃ 이상의 고온에서 수시간 노출시켜 경화시키는 공정을 포함하는 것을 특징으로 하는 반도체패키지의 제조방법.

청구항 7. 제1항에 있어서, 상기 반도체패키지의 저면에는 그라인드(Grind)를 실시하여 플래쉬(Flash)를 제거하는 것을 특징으로 하는 반도체패키지의 제조방법.

청구항 8. 제1항에 있어서, 상기 용융영역의 외각에 위치한 리드단 절단시 절단을 용이하게 하기 위하여 절단되는 부위의 리드에 노치(Notch)[□] 형성함을 특징으로 하는 반도체패키지의 제조방법.

청구항 9. 저면이 외부로 직접 노출되는 반도체칩과; 상기 반도체칩의 외측에 위치되고 용융영역을 벗어나지 않으며 저면이 외부로 노출되어 저면에서 신호의 입출력이 이루어지는 다수의 리드와; 상기 반도체칩과 리드[□] 연결시 켜주는 와이어와; 상기 반도체칩, 리드 및 와이어[□] 외부 환경으로부터 보호하기 위하여 용융된 액상 납지재 또는 컴파운드로 구성된 것을 특징으로 하는 반도체패키지의 구조.

청구항 10. 제9항에 있어서, 상기 용융된 액상 납지재 및 컴파운드는 리드 및 반도체칩의 상부뿐만 용융된 것을 특징으로 하는 반도체패키지의 구조.

청구항 11. 제9항에 있어서, 상기 반도체패키지의 저면에는 플래쉬(Flash)의 제거[□] 위해 그라인드 (Grind)된 것을 특징으로 하는 반도체패키지의 구조.

청구항 12. 제9항에 있어서, 리드프레임의 다수의 리드 중앙부에는 접합재판이 없는 것을 특징으로 하는 반도체패키지의 구조.

※ 참고사항: 최초출원 내용에 의하여 공개하는 것임.

5/01

202

